

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-261212  
 (43)Date of publication of application : 03.10.1997

(51)Int. Cl. H04L 7/033  
 H03L 7/06  
 H04L 25/40

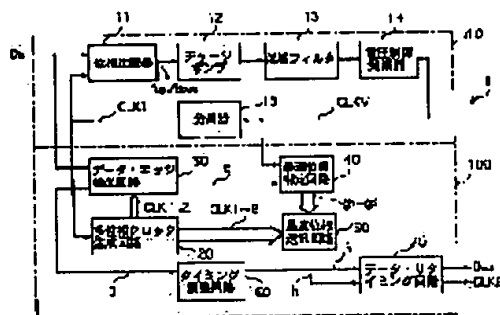
(21)Application number : 08-062944 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 19.03.1996 (72)Inventor : SHIOZU SHINICHI

## (54) CLOCK EXTRACTING DEVICE

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To adequately execute the re-timing processing of input data by judging the phase of an input signal based on a specified secondary clock and adjusting a phase based on the third clock selected from the second clock.

**SOLUTION:** A multi-phase clock generating circuit 20 generates plural clocks CLK1-CLK8 based on a frequency dividing clock CLK 1 from a PLL circuit 10 and a data edge detecting circuit 30 detects the rising/falling timing edges of input data so as to generate a pulse (e) at every timing cycle. An optimum phase judging circuit 40 counts the number of reference clocks between the pulses (e) and outputs setting information of a required position in input data and an optimum phase selecting circuit 50 selects an optimum phase clock from the clocks CLK1-CLK8 based on the information. A data re-timing circuit 70 adjusts the phase of delay data outputted from a timing adjusting circuit 60 based on the optimum phase clock and outputs an extraction clock CLK9 and extraction data.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開 号

特開平9-261212

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H04L	7/033		H04L 7/02	B
H03L	7/06		25/40	C
H04L	25/40		H03L 7/06	A

審査請求 未請求 請求項の数 1 OL (全 11 頁)

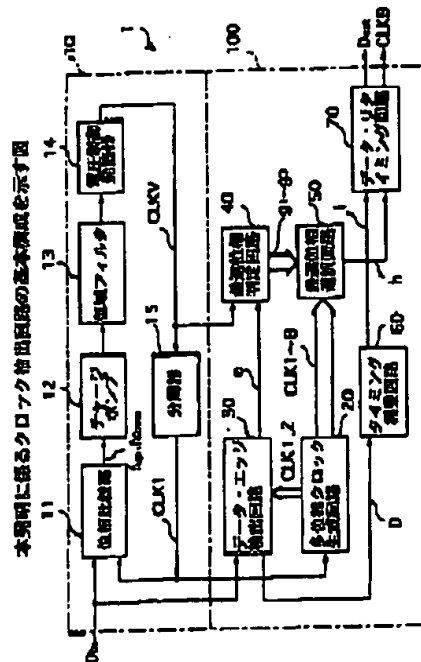
(21) 出願番号	特願平9-02944	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成8年(1996)3月19日	(72) 発明者	植村 真一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74) 代理人	弁理士 有我 翠一郎

(54) 【発明の名称】 クロック抽出回路

(57) 【要約】

【課題】 デレイゲートを利用したクロック抽出回路において、使用温度や電源電圧等の変動による抽出クロックのタイミング変動を抑制し、もって入力データのリタイミング処理を的確に行うことができるクロック抽出回路を提供することを課題とする。

【解決手段】 データ・リタイミング調整回路は、所定の位相を有する複数のクロックを生成する多位相クロック生成回路と、入力データのタイミングエッジを検出するデータ・エッジ検出回路と、データ・エッジ間の雑音クロック数をカウントし、入力データの中央を設定する最適位相判定回路と、最適位相クロックを選択する最適位相選択回路と、最適位相クロックと同等の遅延を入力データに付加するタイミング調整回路と、最適位相クロックに基づいて遅延された入力データの位相調整を行なうデータ・リタイミング回路とから構成される。



(2)

特開平9-261212

## 【特許請求の範囲】

【請求項1】入力信号との位相が比較され、該位相の誤差に比例した誤差電圧に基づいて前記入力信号に同期した周波数有する基準クロックを生成する位相同期手段と、該基準クロックから所定の遅延を有する抽出クロックと、前記基準クロックに基づいて前記入力信号のタイミングを調整制御したリタイミング信号とを出力するリタイミング調整手段とを具備するクロック抽出回路において、

前記リタイミング調整手段が、前記基準クロックに基づいて所定の位相を持つ複数の2次クロックを生成する多位相クロック生成手段と、前記2次クロックに基づいて前記入力信号の立上りおよび立下りエッジを検出するデータ・エッジ検出手段と、前記基準クロックおよび前記データ・エッジ検出手段により検出された入力信号のエッジに基づいて前記入力信号の位相を判定する位相判定手段と、前記位相判定手段からの判定結果に基づいて、前記複数の2次クロックから前記入力信号の位相調整に用いるクロックを選択し、3次クロックとして出力する位相選択手段と、前記基準クロックから前記3次クロックを生成する際の遅延時間を前記入力信号に反映するタイミング調整手段と、前記タイミング調整手段により所定の遅延時間を付加された前記入力信号を、前記3次クロックに基づいて位相調整するリタイミング手段と、を有することを特徴とするクロック抽出回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック抽出回路に関し、特に入力されたデータを抽出したクロックでリタイミング処理する際、入力データとクロックの位相を最適化し、タイミングのずれを抑制するクロック抽出回路に関する。

【0002】

【従来の技術】入力データからクロック抽出し、入力データと一致する周波数および位相のクロックを生成する位相同期回路（phase locked loop: PLL回路）を利用したクロック抽出回路の例は、たとえば特開平2-123566号公報あるいは特開平7-46231号公報等に示されている。

【0003】図11に従来一般的に用いられているクロック抽出回路の構成を示す。図に示すように、入力データ $D_{in}$ は、PLL回路10およびデータ・リタイミング回路70に共通に入力される。PLL回路10に入力された入力データ $D_{in}$ は、位相比較器11において、基準クロックCLKVと位相の比較が行なわれ、位相の誤差に比例した電圧 $V_{\phi}$ および $V_{\phi,reg}$ が出力され、この電圧によりチャージポンプ12の出力が制御される。チャージポンプ12から出力された誤差電圧は、低域フィルタ13により周波数帯域を制限された後、電圧制御発振器（VCO）14の制御端子に入力される。VCO14

は、制御入力に基づいて、入力データ $D_{in}$ とVCO14の発信周波数および位相差を低減する方向に基準クロックCLKVを制御する。このようにして、PLL回路10に入力されたデジタル信号（入力データ $D_{in}$ ）から基準クロックCLKVが生成される。

【0004】一方、データ・リタイミング回路70に入力された入力データ $D_{in}$ は、PLL回路10により生成された基準クロックCLKVに基づいて、位相調整が行なわれ、抽出データ $D_{out}$ および抽出クロックCLK9が出力される。ここで、PLL回路10の位相比較回路11の構成を説明すると、入力データ $D_{in}$ は、遅延回路（ディレイゲート）11aにより一定の遅延時間 $delay_1$ が付加され、本来の入力データ $D_{in}$ とともに、排他的NOR回路（EXNOR）11bに入力される。EXNOR11bの出力aは、基準クロックCLKVとともにNOR回路（NOR）11cに入力される一方、NOT回路（インバータ）11eにより反転された基準クロックCLKVとともに、NOR11dにも入力される。これらのNOR11c、11dは、入力データ $D_{in}$ と基準クロックCLKVとの位相差に比例した電圧 $V_{\phi}$ および $V_{\phi,reg}$ を出力する。

【0005】次に、データ・リタイミング回路70の構成を説明すると、PLL回路10により生成された基準クロックCLKVはディレイゲート70bにより一定の遅延時間 $delay_4$ が付加され、リタイミング用クロックbとしてフリップフロップ（FF）70aのC端子に入力される。また入力データ $D_{in}$ は、FF70aのD端子に入力される。そのため、FF70aの出力Qからは、リタイミング用クロックbに基づいて位相調整された入力データ $D_{in}$ が抽出データ $D_{out}$ として出力される。基準クロックCLKVに遅延時間 $delay_4$ が付加されたリタイミング用クロックbは、インバータ80により反転され、抽出クロックCLK9として出力される。

【0006】このようなクロック抽出回路1におけるタイミングチャートを図12に示す。時刻Tを一周期とする入力データ $D_{in}$ を入力とするEXNOR11bにより入力データ $D_{in}$ の立上り/立下りのデータ・エッジが検出されるとともに、ディレイゲート11aにより遅延時間 $delay_1$ が、出力aに反映される。つまり、PLL回路10により生成された基準クロックCLKVは、論理回路をはじめとする種々の遅延要素により遅延時間を必然的に有することとなる。そのため、リタイミング用クロック（抽出クロックの反転信号）bにより入力データ $D_{in}$ の位相調整を行うデータ・リタイミング回路70において、入力データ $D_{in}$ に対し、たとえばデータの中央（ $1/2T$ ）で立上り動作を行うようにディレイゲート70bを設けて基準クロックCLKVに遅延時間 $delay_4$ を付加して、入力データ $D_{in}$ と所定のタイミングを設定し、位相調整を施した抽出データ $D_{out}$ を得ていた。

【0007】すなわち、従来のクロック抽出回路におい

(3)

特開平9-261212

ては、データ・リタイミング回路70による入力データ  $D_{in}$  の位相調整に際し、入力データ  $D_{in}$  とリタイミング用クロック  $b$  の位相を合わせるために、入力データ  $D_{in}$  経路あるいはクロック経路にディレイゲートを設けて、入力データの中央にリタイミング用クロック  $b$  の立上りタイミングが設定されるように調整していた。

【0008】

【発明が解決しようとする課題】上述したクロック抽出回路1のPLL回路10においては、位相比較器11での入力データ  $D_{in}$  の立上り/立下りエッジの検出のため、あるいはデータ・リタイミング回路の基準クロックCLKVへの遅延時間付加のためにディレイゲート11aおよび70bが設けられているが、一般にディレイゲートは、周辺温度、電源電圧等の変動に影響されやすく、またPLL回路10と同等の遅延能力を有するディレイゲート70bをデータ・リタイミング回路70に設置していたため、前述の変動要因に対して同等の誤差を生じることとなり、基準クロックCLKVのタイミングの変動幅が拡大して、所望のタイミング位置での入力データの位相調整ができなくなる問題があった。特に入力データにジッタが多い場合には、前述したタイミングのずれがエラーの原因となり、クロック抽出回路を使用した機器の動作不良が深刻となる問題があった。

【0009】本発明の目的は、ディレイゲートを利用したクロック抽出回路において、使用温度や電源電圧等の変動による抽出クロックのタイミング変動を抑制し、もって入力データのリタイミング処理を的確に行うことができるクロック抽出回路を提供することにある。特に、入力データの所望の位置、たとえば中央(1/2T)に抽出クロックの立上りタイミングを確実に設定して入力データの最適なリタイミング処理を行うことにより、エラーの発生を抑制することを目的とする。

【0010】

【課題を解決するための手段】上記の目的を達成するために、請求項1記載の発明は、入力信号との位相が比較され、該位相の誤差に比例した誤差電圧に基づいて前記入力信号に同期した周波数有する基準クロックを生成する位相同期手段と、該基準クロックから所定の遅延を有する抽出クロックと、前記基準クロックに基づいて前記入力信号のタイミングを調整制御したリタイミング信号とを出力するリタイミング調整手段とを具備するクロック抽出回路において、前記リタイミング調整手段が、前記基準クロックに基づいて所定の位相を持つ複数の2次クロックを生成する多位相クロック生成手段と、前記2次クロックに基づいて前記入力信号の立上りおよび立下りエッジを検出するデータ・エッジ検出手段と、前記基準クロックおよび前記データ・エッジ検出手段により検出された入力信号のエッジに基づいて前記入力信号の位相を判定する位相判定手段と、前記位相判定手段からの判定結果に基づいて、前記複数の2次クロックから前記

入力信号の位相調整に用いるクロックを選択し、3次クロックとして出力する位相選択手段と、前記基準クロックから前記3次クロックを生成する際の遅延時間を前記入力信号に反映するタイミング調整手段と、前記タイミング調整手段により所定の遅延時間を付加された前記入力信号を、前記3次クロックに基づいて位相調整するリタイミング手段と、を有して構成される。

【0011】このような構成により本発明のクロック抽出回路は、位相同期手段により入力信号(入力データ)から生成された基準クロックに基づいて、多位相クロック生成手段における異なる位相の複数の2次クロックの生成、またデータ・エッジ検出手段における入力信号のエッジの検出およびタイミング周期毎のパルスの発生が実行され、位相判定手段により入力データの1周期毎の基準クロック数がカウントされ、カウント値の1/2、すなわち入力データの中央の位置を設定し、位相選択手段によりデータの中央位置に相当する位相の2次クロック(最適位相クロック)を選択する。タイミング調整手段により上記の最適位相クロックの設定処理により生じる遅延時間相当が入力データに付加され、データ・リタイミング手段により最適位相クロックに基づいて入力データの位相調整処理が施される。

【0012】

【発明の実施の形態】以下に、本発明の請求項1に係るクロック抽出回路について図を示して詳しく説明する。図1に本発明のクロック抽出回路の基本構成を示す。図1において、PLL回路(位相同期手段)10に入力される入力データ  $D_{in}$  は、位相比較器11、チャージポンプ12、低域フィルタ13および電圧制御発振器(VCO)14を介して源発振である基準クロックCLKVが生成される。基準クロックCLKVは分周器15を介して所定の分周処理が施され、位相比較器にクロックCLK1として供給される。ここで、分周器15は、基準クロックCLKVを1/n分周するものであり、本実施例では1/8分周を行うものとする。

【0013】データ・リタイミング調整回路(リタイミング調整手段)100は、PLL回路10により生成された分周クロックCLK1に基づいて、所望の位相を有する複数の(8個)のクロックCLK1~CLK8を生成する多位相クロック生成回路(多位相クロック生成手段)20と、入力データ  $D_{in}$  の立上り/立下りのタイミングエッジを検出し、タイミング周期毎にパルス  $e$  を発生するデータ・エッジ検出回路(データ・エッジ検出手段)30と、データ・エッジ検出パルス  $e$  間の基準クロックCLKV数をカウントし、入力データ  $D_{in}$  の所望の位置、たとえば中央(カウント値の1/2)を設定する設定情報  $g_1 \sim g_3$  を出力する最適位相判定回路(位相判定手段)40と、設定情報  $g_1 \sim g_3$  に基づいて入力データ  $D_{in}$  の所望の位置に相当する最適位相クロック(リタイミング用クロック)  $h$  をクロックCLK1~CLK8

(4)

特開平9-261212

から選択する最適位相選択回路(位相選択手段)50と、上記最適位相クロックhの設定処理過程で生じる遅延時間相当の遅延を入力データ $D_{in}$ に付加し、遅延データ1を出力するタイミング調整回路(タイミング調整手段)60と、最適位相クロックhに基づいて遅延データ1の位相調整を行ない、抽出クロックCLK9および抽出クロックCLK9に同期した抽出データ $D_{in}$ を出力するデータ・リタイミング回路(リタイミング手段)70とから構成される。

【0014】次に、本実施例のクロック抽出回路の各構成について、具体的な回路構成例を示し、タイミングチャートにより動作を説明する。

#### (1) PLL回路

本実施例に示したPLL回路10は、図11に示した構成と同等であり、このような構成により入力データ $D_{in}$ に同期した基準クロックCLKV(派発振)がVCO14から出力される。本発明においては、基準クロックCLKVを分周器15により1/8分周した分周クロックCLK1を位相比較器11に比較クロックとして入力し、入力データ $D_{in}$ との位相比較が行なわれる。

【0015】そのため、図2のタイミングチャートに示すように、分周器15により分周クロックCLK1の立上りタイミングを調整(矢印)することにより、位相比較器11から出力される位相誤差に相当する電圧 $f_{0..n}$ および $f_{0..m}$ の面積比を変化させることができるため、チャージポンプ12の出力を適切に制御することができる。ここで、クロック抽出処理の前提として、入力データ $D_{in}$ に周期Tで切り替わる"1"、"0"の繰り返しのパターンを入力する必要がある。

#### (2) 多位相クロック生成回路

多位相クロック生成回路20は、図3に示すように、PLL回路10により生成された分周クロックCLK1を入力とし、7段のディレイゲート20a~20fにより所定の遅延を付加し、位相の異なる複数のクロックCLK2~CLK8を出力する。

【0016】図4のタイミングチャートに示すように、ディレイゲート20a~20fが有する遅延時間delay3により、各ディレイゲートの出力から取り出されるクロックCLK2~CLK8は各々delay3の位相差で生成される。ディレイゲート20a~20fにより付加される遅延時間delay3の設定は小さいほど、また生成される多位相クロックの数が多いほど、後述するデータ・リタイミング処理の際、入力データ $D_{in}$ の中央にクロックの立上りタイミングをより正確に設定することができる。

#### (3) データ・エッジ検出回路

データ・エッジ検出回路30は、図4に示すように、入力データ $D_{in}$ に遅延時間delay2を付加し、遅延データDとして出力するディレイゲート30aと、遅延データDをD端子入力とし、分周クロックCLK1をC端子入

力とするフリップフロップ(FF)30bと、遅延データDをD端子入力とし、多位相クロック生成回路20により出力されるクロックCLK2をC端子入力とするFF30cと、FF30bおよび30cのQ出力D1およびD2を入力とし、排他的NOR論理eを出力するEXNOR30dから構成される。ここで、ディレイゲート30aが付加する遅延時間delay2は、上述のPLL回路10で与えられる遅延よりも大きく設定される。

【0017】このような構成により、図5のタイミングチャートに示すように、入力データ $D_{in}$ に対しdelay2の遅延時間が付加された遅延データがFF30bにおいてクロックCLK1のタイミングで保持されてQ出力D1が得られ、またFF30cにおいてクロックCLK2のタイミングで保持されてQ出力D2が得られる。次いで、これらの出力D1およびD2の排他的NOR論理によりデータ・エッジを示すパルス出力eが出力される。

#### (4) 最適位相判定回路

最適位相判定回路40は、図6に示すように、データ・エッジ検出回路30から出力されるパルス出力eがS端子に共通に入力され、基準クロックCLKVがC端子に入力され、またQ\*出力(Q\*:Qの反転出力とする)の反転信号 $f_0$ がD端子に入力されたFF40aと前段のFFのQ出力がC端子に入力され、またQ\*出力の反転信号 $f_1 \sim f_3$ が各々のD端子に入力されたFF40b~40dからなる第1のフリップフロップ群と、パルス出力eがC端子に共通に入力され、FF40b~40dのQ\*出力の反転信号 $f_1 \sim f_3$ を各々D端子入力とし、またQ\*出力の反転信号 $g_1 \sim g_3$ を最適位相の判定情報として出力するFF40e~40gからなる第2のフリップフロップ群とから構成される。

【0018】このような構成により、図7のタイミングチャートに示すように、データ・エッジ検出回路30から出力される第1のパルス出力 $e_1$ から第2のパルス出力 $e_2$ 間をカウント期間として、基準クロックCLKVのクロック数を第1のフリップフロップ群により計測する。このカウント値 $f_1 \sim f_3$ は、第2のフリップフロップ群により1/2倍、すなわち入力データ $D_{in}$ の中央の位置(1/2T)に相当する位相判定情報 $g_1 = "0"$ 、 $g_2 = "0"$ 、 $g_3 = "1"$ として出力する。

#### (5) 最適位相選択回路

最適位相選択回路50は、図8に示すように、最適位相判定回路40から出力される位相判定情報 $g_1$ を共通のS端子入力とし、クロックCLK1およびCLK2を各々D1およびD2端子入力とするMUX論理回路(MUX)50aと、同様にクロックCLK3およびCLK4を各々D1およびD2端子入力とするMUX50bと、クロックCLK5およびCLK6を各々D1およびD2端子入力とするMUX50cと、クロックCLK7およびCLK8を各々D1およびD2端子入力とするMUX50dとからなる第1のMUX群と、位相判定情報 $g_1$

(5)

特開平9-261212

を共通のS端子入力とし、MUX50aおよびMUX50bのQ出力を各々D1およびD2端子入力とするMUX50eと、MUX50cおよびMUX50dのQ出力を各々D1およびD2端子入力とするMUX50fとからなる第2のMUX群と、位相判定情報 $g_3$ をS端子入力とし、MUX50eおよびMUX50fのQ出力を各々D1およびD2端子入力とし、Q出力を最速位相クロックhとして出力するMUX50g(第3のMUX群)から構成される。ここで、MUX論理は、S端子入力が“0”の時D1端子入力がQ出力に反映され、S端子入力が“1”の時D2端子入力がQ出力に反映されるものである。

【0019】このような構成により、図7および図10のタイミングチャートに示すように、入力データ $D_{in}$ のデータ・エッジを示すパルス出力eにより設定されるカウント期間中の場合、最速位相判定回路40から出力される位相判定情報は、 $g_1 = "1"$ 、 $g_2 = "1"$ 、 $g_3 = "1"$ であり、MUX50a~gは全てS端子に“1”が入力される。そのため、出力されるクロックhは、図8の点線①のようにクロックCLK8が選択される。次にカウント期間終了後の場合、最速位相判定回路40から出力される位相判定情報は、 $g_1 = "0"$ 、 $g_2 = "0"$ 、 $g_3 = "1"$ となり、MUX50a~fのS端子に“0”が入力される。そのため、出力されるクロックhは、図8の点線②のようにクロックCLK5が選択される。ここで、最速位相クロックhの選択においては、図10に示すように、第1、第2および第3のMUX群により、クロックCLK5およびCLK8には、MUX3段分の遅延が付加される。

#### 〔6〕タイミング調整回路

タイミング調整回路60は、図9に示すように、データ・エッジ検出回路30により出力される遅延データDをD1端子入力とし、S端子が接地されたMUX60aと、MUX60aのQ出力をD1端子入力とし、S端子が接地されたMUX60bと、MUX60bのQ出力をD1端子入力とし、S端子が接地され、Q出力をリタイミンング用データ1として出力するMUX60cとから構成される。

【0020】このような構成により、図10のタイミングチャートに示すように、遅延データDには、前述した最速位相選択回路50において最速位相クロックhに付加された遅延と同等の遅延(MUX3段分)が付加され、互いの遅延が打ち消される。

#### 〔7〕データ・リタイミンング回路

データ・リタイミンング回路70は、図9に示すように、最速位相選択回路50から出力される最速位相クロックhをC端子入力とし、タイミング調整回路60から出力されるリタイミンング用データ1をD端子入力とし、Q出力を抽出データ $D_{out}$ として出力するFF70aにより構成される。また最速位相クロックhは、インバータ8

0により反転され抽出クロックCLK9として出力される。

【0021】このような構成により、図10のタイミングチャートに示すように、リタイミンング用データ1はデータの中央(1/2T)に立上りタイミンングを持つ最速位相クロックh(CLK5)により位相が調整され、抽出データ $D_{out}$ として出力される。以後、抽出クロックCLK9(最速位相クロックの反転信号)の位相と一致した抽出データ $D_{out}$ が得られる。

【0022】このように、PLL回路10により生成された基準クロックCLKVおよび分周クロックCLK1に基づいて、多相クロック生成回路20、データ・エッジ検出回路30、最速位相判定回路40および最速位相選択回路50により、入力データ $D_{in}$ のリタイミンング処理に最適な位相を有するクロックを抽出し、次いで最速位相クロックに基づいて、タイミング調整回路60およびデータ・リタイミンング回路70により、入力データ $D_{in}$ のリタイミンング処理を行なうことができる。ここで、最速位相クロックの生成の際に、選択対象となる多相クロックをPLL回路10の遅延よりも小さいディレイゲートを用いて生成しているため、周辺温度や電源電圧等の変動要因に対して、抽出クロックの変動量を小さく抑え、入力データ $D_{in}$ の所定の位置に立上りタイミンングを設定することができるため、データの位相調整を良好に実施することができる。

【0023】上述した実施例におけるデータ・リタイミンング調整制御は、一連のクロックの抽出処理、入力データ $D_{in}$ のリタイミンング処理を実施する際に、入力データ $D_{in}$ に“1”、“0”の繰り返しパターンを入力する手法を示したが、所定周期ごとにこのような繰り返しパターンを入力することにより、あるいは繰り返しパターンが入力されることにより自動的に実行するように構成することにより、最速位相のクロックが精確良く選択され、エラー抑制効果を向上させることができる。

【0024】なお、本実施例における多相クロック生成のためのディレイゲートの段数、基準クロックCLKVのクロック数のカウントおよびデータの所定位置設定のためのFFの段数、また最速位相のクロックを選択するためのMUXの段数は、基準クロックを分周する分周器(1/n)15の設定に応じて適切に決定される。

#### 【0025】

【発明の効果】以上説明したように、本発明のクロック抽出回路によれば、周辺温度、電源電圧の変動に影響されることなく、入力データのタイミンングの中央にクロック信号の立上りタイミンングを的確に設定することができるため、ジッタの多いデータが入力してもリタイミンング時のエラーの発生を抑制することができる。

#### 【図面の簡単な説明】

【図1】本発明に係るクロック抽出回路の基本構成を示す図である。

(6)

特開平9-261212

【図2】本発明に適用される位相同期回路におけるタイミングチャートを示す図である。

【図3】本発明に適用されるデータ・エッジ検出回路および多位相クロック生成回路の一例を示す図である。

【図4】本発明に適用される多位相クロック生成回路におけるタイミングチャートを示す図である。

【図5】本発明に適用されるデータ・エッジ検出回路におけるタイミングチャートを示す図である。

【図6】本発明に適用される最速位相判定回路の一例を示す図である。

【図7】本発明に適用される最速位相判定回路におけるタイミングチャートを示す図である。

【図8】本発明に適用される最速位相選択回路の一例を示す図である。

【図9】本発明に適用されるタイミング調整回路およびデータ・リタイミング回路の一例を示す図である。

【図10】本発明に適用される最速位相選択回路、タイミング調整回路およびデータ・リタイミング回路におけるタイミングチャートを示す図である。

【図11】従来のクロック抽出回路の構成を示す図である。

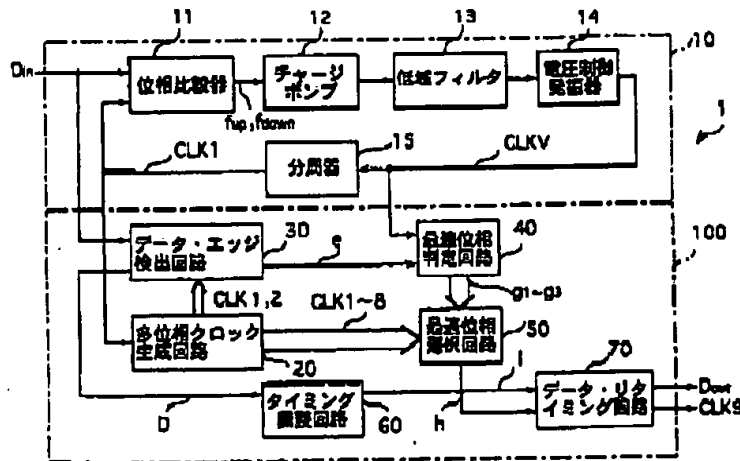
【図12】従来のクロック抽出回路におけるタイミングチャートを示す図である。

【符号の説明】

- 1 クロック抽出回路
- 10 位相同期回路 (PLL回路: 位相同期手段)
- 11 位相比較器
- 11a 遅延ゲート
- 11b 排他的NOR回路 (EXNOR)
- 11c, 11d NOR回路
- 11e NOT回路 (インバータ)
- 12 チャージポンプ
- 13 低域フィルタ
- 14 電圧制御発振器 (VCO)
- 15 分周器
- 20 多位相クロック生成回路 (多位相クロック生成手段)
- 30 データ・エッジ検出回路 (データ・エッジ検出手段)
- 40 最速位相判定回路 (位相判定手段)
- 50 最速位相選択回路 (位相選択手段)
- 60 タイミング調整回路 (タイミング調整手段)
- 70 データ・リタイミング回路 (データ・リタイミング手段)
- 80 NOT回路 (インバータ)
- 100 データ・リタイミング調整回路

【図1】

本発明に係るクロック抽出回路の基本構成を示す図



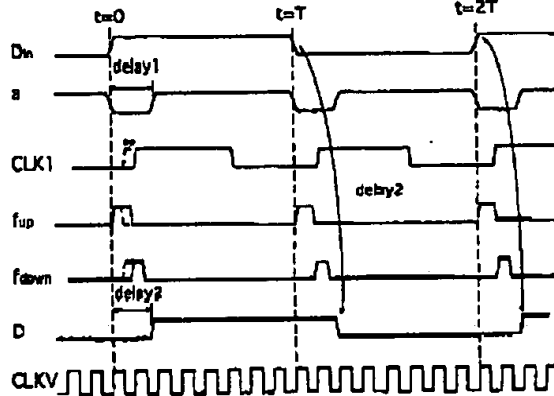


(7)

特開平9-261212

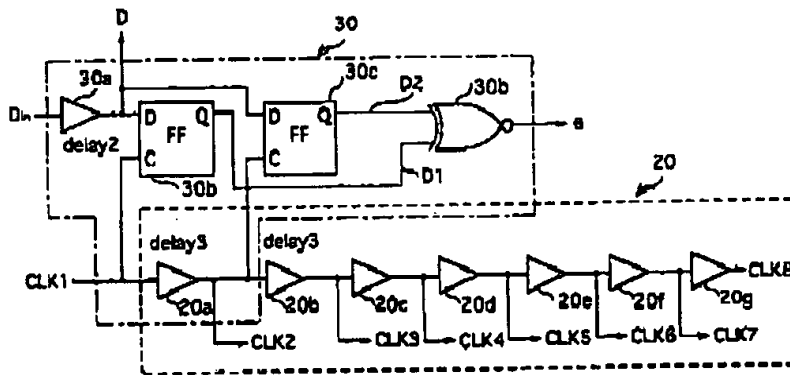
【図2】

本発明に適用される位相同期回路におけるタイミングチャート



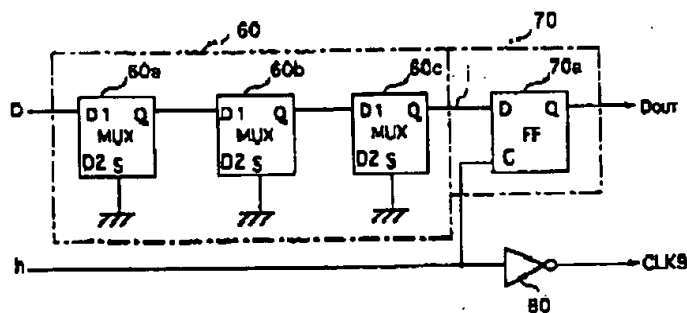
【図3】

本発明に適用されるデータ・エッジ検出回路および多位相クロック生成回路の一例を示す図



【図9】

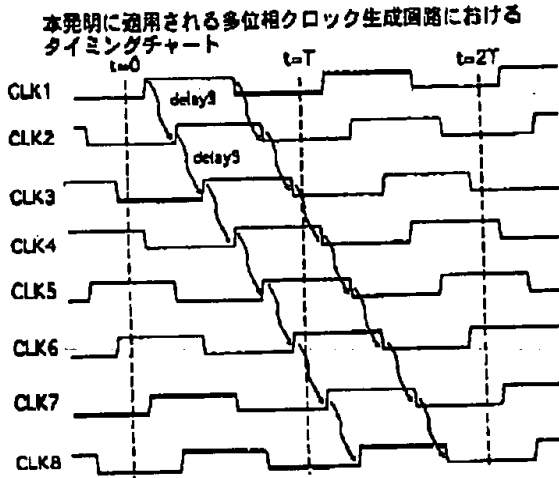
本発明に適用されるタイミング調整回路およびデータ・リタイミング回路の一例を示す図



(8)

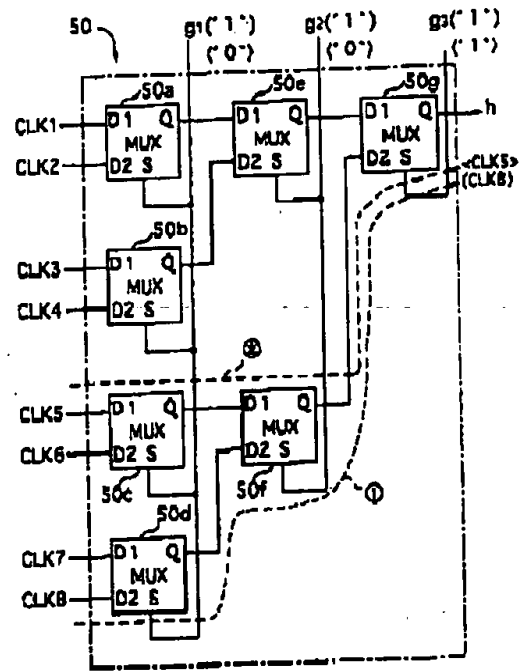
特開平9-261212

【図4】



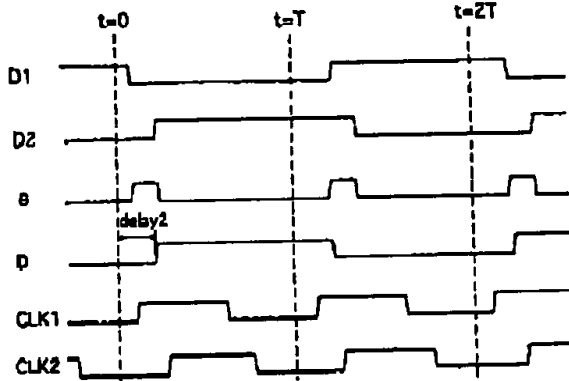
【図8】

本発明に適用される最上位相選択回路の一例を示す図



【図5】

本発明に適用されるデータ・エッジ検出回路における  
タイミングチャート

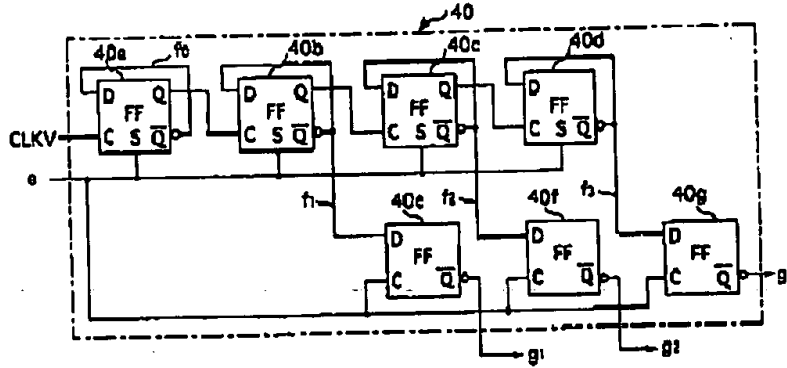


(9)

特開平9-261212

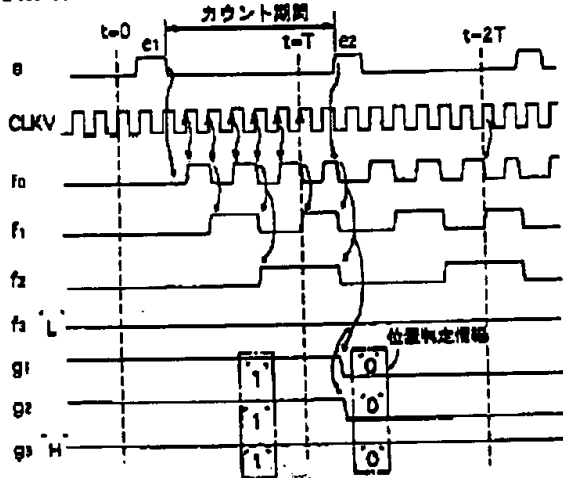
【図6】

本発明に適用される最速位相判定回路の一例を示す図



【図7】

本発明に適用される最速位相判定回路におけるタイミングチャート

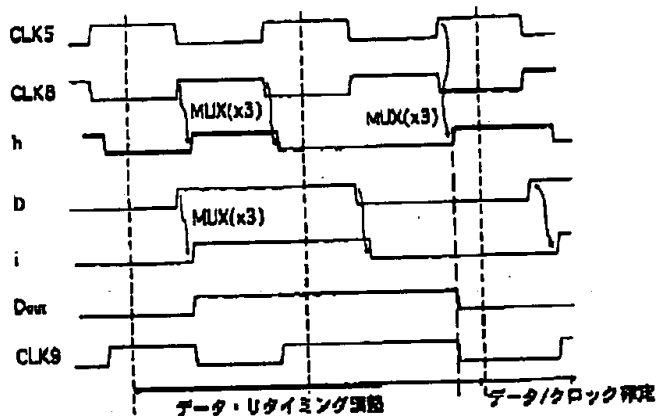


(10)

特開平9-261212

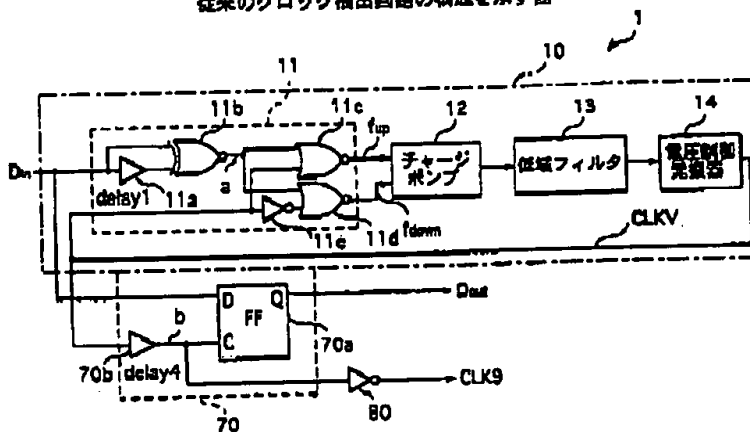
【図10】

本発明に適用される最適位相選択回路、タイミング調整回路およびデータ・リタイミング調整回路におけるタイミングチャート



【図11】

従来のクロック抽出回路の構成を示す図



(11)

特開平9-261212

【図12】

従来のクロック抽出回路におけるタイミングチャート

